实验报告

东北林业大学

计算机科学与技术专业

|  |
| --- |
| 一、实验目的  （1）掌握组合逻辑电路的设计方法及测试技巧；  （2）掌握逻辑函数化简的方法。  （3）掌握利用138译码器的逻辑电路设计方法 |
| 二、实验环境  操作系统：Windows  虚拟模拟软件：logisim |
| 三、实验内容及结果  1、设计一个2：4译码器，并用真值表验证；  （1）2：4译码器输入的2位二进制代码A0，A1共有四种状态，译码器将每个输入代码译成对应的一根输出线上的高、低电平信号分别为Y0，Y1，Y2，Y3。而在74LS138逻辑门中，有三个地址选择端，以及三个选通端，故能产生八进制输出，所以将74LS138逻辑门中的A2输入端给予低电平，即可得到2-4编码器。其2-4编码器A0，A1输入，则仅有一个输出端输出。门电路表示为    （2）其内部电路为  （3）2-4编码器A0，A1不同输入，则仅一个输出端为1，其余均为0，经真值表检验，门电路逻辑正确。  2、用真值表验证74LS138的逻辑功能；  （1）经过电路分析，可以得到74LS138逻辑门电路真值表，通过将G1，G2A，G2B进行合并，不难发现，G1取1时，G2A+G2B取0时（三个选通端均正确时）才能有正确的输出，否则输出全为高电平。  （2）74LS138逻辑门输出全为输出取反，在门电路输出为三位输入的二进制代码对应的八进制编码进行输出取反。则输入三位二进制代码，只有对应的八进制编码为低电平，其余七个均为高电平。  （31）其中部分真值表为  3、利用74LS138实现F（A，B，C）= ∑m（2，5，7）  （1）在74LS138逻辑门中三个二进制输入端，输出的为对应的八进制编码，且仅有对应的八进制编码为低电平，其余输出端均为高电平，所以可以将对应输出端2、5、7进行与非操作，得到的就是正确的输出结果。  （2）在电路中利用74LS138逻辑门，其外部电路、真值表、内部电路为    4、利用74LS138实现一位全加器  （1）在74LS138逻辑门中三个二进制输入端，输出的为对应的八进制编码，且仅有对应的八进制编码为低电平，其余输出端均为高电平，通过全加器的运算逻辑来选择输出后的操作，三位输入代表着不同情况的输入，有且仅有一种输出，进行与非操作即可得到输出。  （2）全加器由A、B、cc作为输入端，S、C作为输出端，内部电路、真值表、外部电路为    （3）在两个四位数相加，得到输出  5、利用仿真软件，用D触发器实现J-K触发器  （1）钟控D触发器只有一个输入端，当无时钟脉冲Clk=0时，门被封锁。此刻，不管D端为何值，两个控制门的输出均为1，触发器状态保持不变。当时钟脉冲Clk=1时，D为0时触发器状态置0。其内部电路图为。  （2）钟控JK触发器利用触发器两个输出信号始终互补的特点，有效地解决了在时钟脉冲作用期间两个输入端同时为1，导致触发器状态不确定的问题。利用D触发器实现JK触发器，其内部电路为 |

|  |
| --- |
| 四、实验过程分析与讨论  1、设计一个2：4译码器，并用真值表验证；  （1）2：4译码器输入的2位二进制代码A0，A1共有四种状态，译码器将每个输入代码译成对应的一根输出线上的高、低电平信号分别为Y0，Y1，Y2，Y3。  （2）所以采用74LS138逻辑门其中四个输出端的反相作为2：4译码器的输出端，因为74LS138逻辑门有八个输出端，故采用其中四个输出端。当A2输入端置为0时，只有Y0-Y3有输出，当A2输入端置为1时，只有Y4-Y7有输出。在本次实验A2选择0。  （3）2：4译码器在输入两个二进制数，会输出一个四进制数    2、用真值表验证74LS138的逻辑功能；  （1）经过电路分析，可以得到74LS138逻辑门电路真值表，但是在74LS138逻辑门电路中，由于输入输出过多，不能具体分析，要通过将G1，G2A，G2B进行合并， G1取1时，G2A+G2B取0时，三个选通端均正确时，才能有正确的输出，否则输出全为高电平。  （2）74LS138逻辑门输出全为输出取反，在门电路输出为三位输入的二进制代码对应的八进制编码进行输出取反。则输入三位二进制代码，只有对应的八进制编码为低电平，其余七个均为高电平。  （31）在不同输入时的输出值，输出正确。    3、利用74LS138实现F（A，B，C）= ∑m（2，5，7）  （1）在74LS138逻辑门中三个二进制输入端，输出的为对应的八进制编码，且仅有对应的八进制编码为低电平，其余输出端均为高电平，所以可以将对应输出端2、5、7进行与非操作，得到的就是正确的输出结果。  （2）在不同输入时的输出值，输出正确。    4、利用74LS138实现一位全加器  （1）加法器是由两个相加的数，以及进位组成，输出时，不仅会输出当前位置S，也会输出进位C。如果有奇数个1，则S输出1，否则将输出0。对于进位C，如果有两个及两个以上的输入端输入1，则输出端输出1。  （2）在74LS138逻辑门中通过全加器的运算逻辑来选择输出后的操作，三位输入代表着不同情况的输入，有且仅有一种输出，进行与非操作即可得到输出。  （3）加法过程  当输入全为0时，没有输出。  当某一位输入都为1，则进位1。  当任意相加时，输出正确结果    5、利用仿真软件，用D触发器实现J-K触发器  （1）钟控D触发器原理为：只有一个输入端，当无时钟脉冲Clk=0时，门被封锁。此刻，不管D端为何值，两个控制门的输出均为1，触发器状态保持不变。当时钟脉冲Clk=1时，D为0时触发器状态置0。先构造D触发器的电路：    （2）钟控JK触发器利用触发器两个输出信号始终互补的特点，有效地解决了在时钟脉冲作用期间两个输入端同时为1，导致触发器状态不确定的问题。钟控JK触发器原理为：在没有时钟脉冲作用Clk=0时，无论输入端JK怎样变化，控制门G3、G4的输出均为1，触发器保持原来状态不变。  在时钟脉冲作用Clk=1时可分为四种情况：输入J=0 k=0时，不管触发器处于何种状态，G3、G4的输出均为1触发器状态保持不变。当输入J=0 k=1时，触发器次态一定为0状态。当输入J=1 k=0时，触发器次态一定为一状态。刚输入J=1 k=1时触发器次态与现态相反。  （3）JK触发器的输入输出： |
| 五、指导教师意见  指导教师签字： |